

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256458

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 23/50

H01L 23/12

H05K 3/34

(21)Application number : 09-062683

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.03.1997

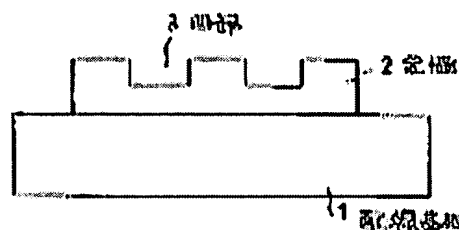
(72)Inventor : MIYAGI TAKESHI
TOGASAKI TAKASHI
TATEYAMA KAZUKI
YAMADA HIROSHI
MORI MIKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily remove an oxide film from solder bumps, by forming a bump electrode composed of solder on a first electrode, forming irregularities of a specified value or above on the surface of a second electrode in contact with the bump electrode, and connecting a semiconductor chip with the bump electrode with the second electrode in between.

SOLUTION: A printed wiring board 1 is used as a mounting board 1. Copper foil bonded to the board 1 in advance is patterned into an electrode 2 which enables flip chip connection. Resist is applied to the patterned electrode except for areas where projections are desired to be formed by exposure and development. Etching is performed to form recesses. The depth of a counter electrode is controlled to one micrometer or above. The depth a laser and an ultrasonic system for oxide film removal are obviated, and thus cost can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256458

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/50

H 0 1 L 23/50

N

23/12

H 0 5 K 3/34

5 0 7 L

H 0 5 K 3/34

5 0 7

H 0 1 L 23/12

K

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平9-62683

(22) 出願日

平成9年(1997) 3月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮城 武史

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 梅崎 隆

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 館山 和樹

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(74) 代理人 弁理士 外川 英明

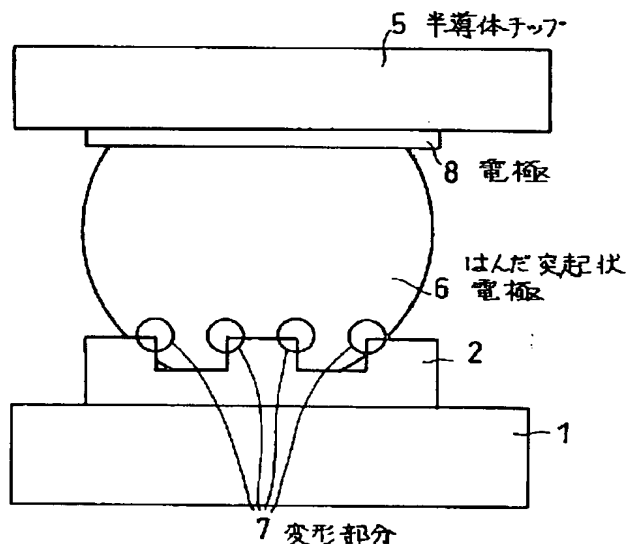
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 フラックスの使用が世界規模で禁止される方向にあり、フラックスを使用しないフリップチップ接続技術が要求されている。本発明では、容易な方法で、フラックスを用いずフリップチップ接合可能な半導体装置を提供することを目的とする。

【解決手段】 本発明は、半導体チップと実装基板をハンダバンプを用いて接続するフリップチップ実装法を用いる。ハンダバンプを接続する相手側の電極の構造に、1ミクロン以上の高さの凹凸部を複数形成する。この凹凸の角部にハンダバンプを押し付けることによって、酸化膜が破壊され良好な接続を形成できる。



【特許請求の範囲】

【請求項1】実装基板と、この実装基板上に形成された第1の電極と、この第1の電極上に形成されたハンダからなるバンパ電極と、このバンパ電極に、第2の電極を介して接続された半導体チップとを具備し、前記第1の電極と第2の電極のうち少なくとも一方の電極の前記バンパ電極と接している面に、1ミクロン以上の凹凸を複数個形成したことを特徴とする半導体装置。

【請求項2】前記凹凸部が形成された電極の凹部底面の少なくとも一部が、Ti層であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ハンダからなるバンパ電極を用いて半導体チップを基板上にフリップフロップ実装する半導体装置に関する。

【0002】

【従来の技術】近年、半導体チップはマイクロプロセッサに代表されるように、非常に高度な処理を高速に処理できるようになってきた。半導体チップが高機能化するにともない半導体チップの入出力端子数は増加し、その影響で入出力端子は小型化・狭ピッチ化するため、ワイヤーボンディング法やTape Automate Bonding (TAB) 法で実装基板上の端子に接続するのが非常に困難になってきた。またワイヤーボンディング法やTAB法で実装基板上に実装した場合、実装外形が大型化するという問題がある。これらの問題を解決する実装方法として、半導体チップの入出力端子上にバンパと呼ばれる突起状電極を形成し、対向する実装基板の電極に接続するフリップチップ接続法が注目を集めている。フリップチップ接続法は、スーパーコンピュータや大型汎用コンピュータの一部に使用されていたが、近年パーソナルコンピュータや携帯機器等の民生機器にも使用されようとしている。フリップチップ接続法は、通常半導体チップの入出力端子にバンパ電極を形成した後、このバンパ電極を実装基板上の電極に接続する工程をとる。しかし半導体チップの種類や実装プロセスの方法によっては、実装基板上の電極にバンパ電極を形成した後、半導体チップ上の入出力端子に接続する場合もある。フリップチップ接続法を用いれば、実装外形はチップ自体の面積と同じになり、さらにパッケージを必要としないため、装置の小型軽量化が容易に行える。また半導体チップの入出力端子が多くなっても容易に実装できるといった特徴がある。バンパ電極は、金を電気めっきやボールボンディングを用いて電極上に形成したり、ハンダを真空蒸着や電気めっきを用いて電極上に形成する方法がある。特にはんたバンパは、接続時にハンダを溶融させて接続する際、半導体チップの位置合わせを自己整合的に行う、いわゆるセルフアライン効果が大きい。これによって多数の微細パッドを持つ半導体チップには、一般的にははんた

バンパが使用されている。一方ハンダは酸化しやすいため、その表面は酸化膜に覆われており、フリップチップ接続の際ハンダ酸化膜を除去しなければならない。この除去方法として、一般的に液体状のフラックスをバンパ部分に塗布し、酸化膜を還元反応により除去し、接続工程後残留フラックスをフロン液により洗浄していた。ところが、近年の環境問題において、フロンの使用を全廃する方向に世界規模で動いており、フラックスおよびフロン洗浄液を用いないハンダバンパによるフリップチップ接続プロセスが望まれている。この要求に対して、超音波を印加することによりハンダ酸化膜を破る方法

(特開昭63-66949)や、レーザー光を照射することによりハンダ突起状電極を急激に加熱してはんた表面の酸化膜を破る方法(例えばProceeding of 2st Symposium "Microjoining and Assembly Technology in Electronics (1996)", pp45-48)が提案されている。ところが、超音波を印加する方法では、超音波により半導体チップが破損する恐れがある。また半導体装置全体に超音波を印加する必要があるため出力の大きな超音波振動子が必要となり、実装装置全体が大型化し、コストの増加につながるという問題がある。またレーザー光を照射する方法では、ハンダバンパのみにレーザー光をあてることができず、ハンダバンパの周辺部分がレーザー光により加熱されて熱変形するという問題がある。また熱変形を避けるため高耐熱性を有する材料を実装基板に使うと、基板の加工可能な条件の範囲が狭くなるという問題がある。

【0003】

【発明が解決しようとする課題】以上述べたようにハンダバンパの表面酸化膜を除去する方法として、超音波印加法やレーザー照射法では、半導体チップの破損、実装装置の大型化、基板の熱変形、加工困難性といった問題がある。本発明は上記問題に鑑みてなされたもので、ハンダバンパの酸化膜を容易に除去できる半導体装置の構造を提供することを目的とする。

【0004】

【課題を解決するための手段】上記目的を達成するために、本発明は、実装基板と、この実装基板上に形成された第1の電極と、この第1の電極上に形成されたハンダからなるバンパ電極と、このバンパ電極に、第2の電極を介して接続された半導体チップとを具備し、前記第1の電極と第2の電極のうち少なくとも一方の電極の前記バンパ電極と接している面に、1ミクロン以上の凹凸を複数個形成したことを特徴とする半導体装置を提供する。

【0005】また本発明は、前記凹凸が形成された電極の凹部底面の少なくとも一部が、Ti層であることを特徴とする半導体装置を提供する。また本発明では、先ず半導体チップに弱い加重をかけて、ハンダバンパを複数の凹凸を有する電極に押し当てる。このとき電極の凹凸形

3

状の角部によって、ハンダバンプが変形し表面の酸化膜が破れる。次にハンダをリフローし接続する。こうすることでフラックスを用いることなくハンダ付けが可能となる。さらに、凹部の底面にTi層を形成しておくことで、ハンダ酸化膜中の酸素がTiにゲッターリングされ結合し、より効果的に酸化膜を除去できる。

【0006】

【発明の実施の形態】本発明の実施例を図面を用いて説明する。図1は、本発明に係る半導体装置の一部を示す断面図である。配線基板1上に複数の凹凸形状を有する電極2が形成されている。配線基板1は、例えばプリント配線基板やセラミック基板を用いることができる。電極2の材料は銅が一般的であるが、ニッケルや金もしくはそれらを多層化した構造でもよい。対向電極の凹部3の深さは1ミクロン以上あれば、ハンダバンプの酸化膜を十分に破ることが可能となる。図2に本発明に、半導体チップ5の入出力端子8上に形成されたハンダバンプ6を、配線基板1上の対向電極2に加重をかけて接続する図を示す。ハンダバンプ6と対向電極2の間に加重がかかると、図中7で示す部分で、ハンダは変形し酸化膜が破れる。この変形は、ハンダ材料が銅よりも降伏応力が小さいためおこる。ハンダは銅よりも降伏応力が約1桁も小さく容易に変形させることができる。この後ハンダバンプをリフローさせ本接合させることができる。図3は電極2の凹部3の底部にTi膜4を形成した例である。同一部には同一符号を付してある。Ti材料は酸素と結合しやすく、加重で変形させたハンダバンプ6の酸化膜の酸素を吸収し、酸化膜を残さないという効果が得られる。こうすることでより高い歩留、信頼性の向上を図れる。次に、この対向電極2の凹凸を形成するプロセスについて説明する。実装基板1としてプリント配線基板を用いる。まず、基板1上にあらかじめ接着されている銅箔をフリップチップ接続が可能な電極2の寸法にフォトリソグラフィ技術によりパターニングする。次にこのパターニングされた電極上にレジストを形成し、露光現像によって凸部を形成したい部分にパターンを残す。次に凹部をエッチングにより形成する。このとき凹部の深さは、エッチングレイトの管理により、自由に設定できる。ここでTi膜を凹部の底部に形成する場合は、スパッタなどの真空プロセスでTi薄膜を凹凸が形成された電極2上全面に形成し、フォトリソグラフィによりパターニングしてTi薄膜を凹部底面に残せばよい。電極2の凹部の深さを0.1μm、0.5μm、1.0μm、5.0μm、10.0μmにした場合、酸化膜を十分に破って良好に接合したかどうかを測定した。実験結果を表1に示す。本実験では、プリント配線基板1上の銅箔（厚さ35ミクロン）をエッチングすることで150ミクロン×150ミクロンの電極パターンを形成し、その後フォトリソグラフィ法によって、電極2の凹凸を加工した。このとき凸部、凹部とも50ミク

4

ロン×50ミクロンになるようにパターニングした。半導体チップ5の入出力端子8上には、ハンダバンプ6をめっきにより作成した。ハンダバンプ6に1個あたり10gの加重をかけ120℃で仮付けしたあと、250℃でリフローした。ここでは共晶ハンダを用いた。

【0007】

【表1】

| 凹部深さ (ミクロン) | 接合実験結果 |
|-------------|--------|
| 0.1 | x |
| 0.5 | x |
| 1.0 | ○ |
| 5.0 | ○ |
| 10.0 | ○ |

接合結果は、接合した半導体チップ5をシェアテスターで剥離し、ハンダバンプ6のどの部分が切断したかで判断した。合格(○)としたモードは、ハンダ部で破壊したもので、ハンダバンプ6と電極2との界面で破壊したものを(x)とした。ハンダバンプ6と電極2との界面で破壊したものは、十分に酸化膜が破れず接続強度が低い。接続強度は、合格したモードではバンプ1個あたり50g以上であり、不合格モードでは5g以下である。この実験結果から凹部の深さは、1ミクロン以上あればよいことがわかる。また凹凸の形成方法としては以下に挙げる方法がある。先ず実装基板としてセラミックなどの無機基板1を用意し、この基板1上に対向電極を形成するを開口するようにレジスト膜を形成する。次に電気めっきによって所望厚さの電極2を形成する。次に電極2上の凸部が形成される部分を開口するようにレジスト膜を形成する。さらに電気めっきによって所望の高さの凸部を形成する。このようにして複数の凹凸が形成された電極を形成できる。上記実施例では、実装基板側の電極に凹凸を形成したが、半導体チップ側の電極に凹凸を形成して、基板側にハンダバンプを形成して実装してもよい。

【0008】

【発明の効果】以上説明したように、ハンダバンプを接続する際、対向する電極に複数の凹凸を設けることによって、環境に多大な影響を与えるフラックス洗浄用フロン液を使用しなくてもフリップチップ接続が可能となる。また、対向電極の構造に凹凸を形成するだけでなく、従来のような酸化膜除去のためのレーザーや超音波装置が不要であり、コストの低減も可能である。

【図面の簡単な説明】

【図1】本発明の半導体装置の配線基板と電極構造を示す図

【図2】本発明の半導体装置のハンダバンプ接続の様子

を示す図

【図3】本発明の半導体装置の配線基板と電極構造を示す図

【符号の説明】

1…配線基板

2…対向電極

3…凹部

4…Ti膜

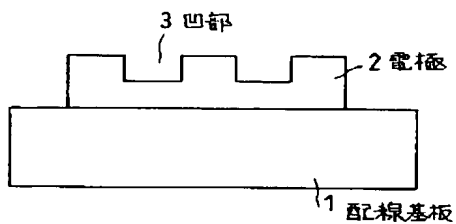
5…半導体チップ

6…ハンダバンプ

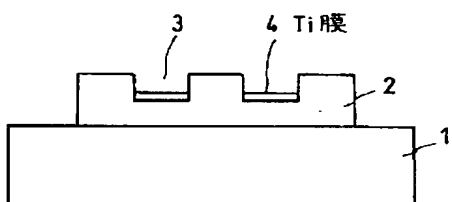
7…変形部分

8…半導体チップの入出力端子

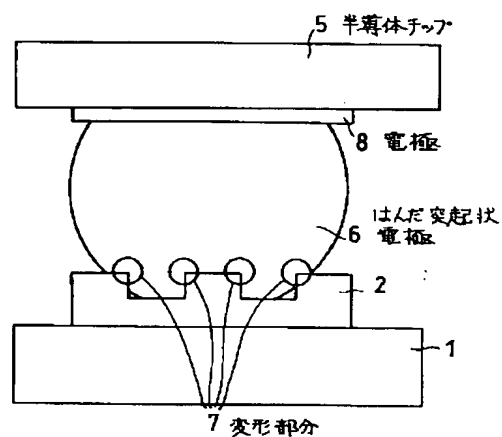
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 山田 浩
神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 森 三樹
神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内